

# DISPLAY CONVERTING DEVICE FOR LIQUID CRYSTAL PANEL

publication number: JP8289232

**Publication date:** 1996-11-01

**Publication date:** 1996-11-01  
**Inventor:** KINUGASA NORIHIDE; OCHIAI MINORU; DOWAKI KAZUYUKI; AMANO YUJI

**Applicant:** MATSUSHITA ELECTRIC IND CO LTD

**Classification:**

Classification: G02F1/133; G09G3/36; H04N5/66; G02F1/13;  
- International: G09G3/36; H04N5/66; (IPC-7): H04N5/66; G02F1/133;  
G09G3/36

- European:

**- European:**  
**Application number: JP19950088933 19950414**

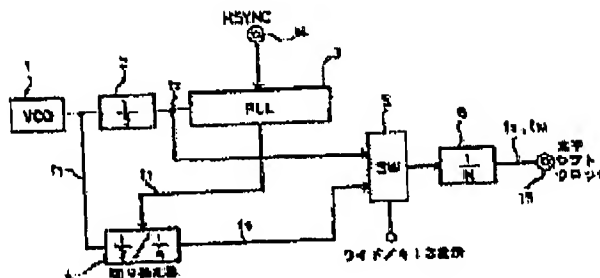
Priority number(s): JP19950088933 19950414

**Report a data error here**

## Abstract of JP8289232

**PURPOSE:** To perform display on a liquid crystal wide panel while switching a wide display and a 4:3 display mode, suppressing the kind of a decode circuit for an output pulse onto the panel into one kind and further automatically keeping the phase relation.

**CONSTITUTION:** At the time of wide display, the output of a VCO 1 is frequency-divided into  $(1/3) \times (1/N)$  stages and the horizontal shift clock of N phases is provided. At the time of 4:3 display, the output of the VCO 1 is frequency-divided into  $(1/2) \times (1/N)$  or  $(1/4) \times (1/N)$  stages by a switcher 4. Then, a central display part uses the N-phase horizontal shift clock of  $(1/4) \times (1/N)$  frequency-divided output and black display parts on both sides use the N-phase horizontal shift clock of  $(1/2) \times (1/N)$  frequency-divided output. At the time of wide display or 4:3 display, a PLL 3 is composed of the  $1/3$  frequency-divided output of the VCO 1 and the external input signal of a horizontal synchronizing input terminal 14.



Data supplied from the **esp@cenet** database - Worldwide

esp@cenet document view

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-289232

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H04N 5/66	102		H04N 5/66	102B
G02F 1/133	505		G02F 1/133	505
G09G 3/36			G09G 3/36	

審査請求 未請求 請求項の数 1 OL (全 4 頁)

(21) 出願番号 特願平7-88933

(22) 出願日 平成7年(1995)4月14日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 衣笠 教英

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 落合 稔

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 堂脇 和幸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 森本 義弘

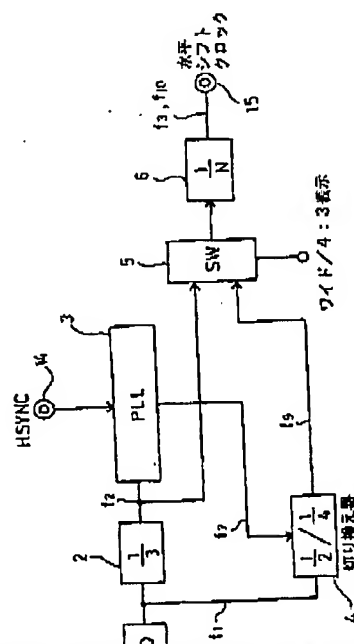
最終頁に続く

(54) 【発明の名称】 液晶パネルの表示変換装置

## (57) 【要約】

【目的】 液晶ワイドパネルへのワイド表示と4:3表示を切り換えて表示させることを、パネルへの出力パルスデコード回路を1種類にし、しかも位相関係を自動的に保存して実現する。

【構成】 ワイド表示時は、VCO1出力を $(1/3) \times (1/N)$ 分周し、N相の水平シフトクロックを得、4:3表示時は、切り換え器4でVCO1出力を $(1/2) \times (1/N)$ あるいは $(1/4) \times (1/N)$ 分周し、中央表示部は $(1/4) \times (1/N)$ 分周出力のN相水平シフトクロックを用い、両側黒表示部は $(1/2) \times (1/N)$ 分周出力のN相水平シフトクロックを用い、ワイド表示時あるいは4:3表示時のいずれのときもVCO1の $1/3$ 分周出力と水平同期信号入力端子14の外部入力信号とのPLLループ3を構成している。



(2)

特開平8-289232

1

## 【特許請求の範囲】

【請求項1】 周波数発振器VCOの出力信号を1/3分周器で分周した信号と入力水平同期信号とが入力されるPLLループと、前記PLLループの出力信号である4:3表示モードでの両側黒表示部と中央表示部の切り換え信号により、前記VCOの出力信号を1/2分周するか1/4分周するかを切り換える切り換え手段と、前記1/3分周器の出力信号または前記切り換え手段の出力信号を選択してワイド表示または4:3表示とするモード選択スイッチと、前記モード選択スイッチからの出力を入力して1/N分周し、そのN相出力信号をワイド表示モードまたは4:3表示モードでのパネルのN相水平シフトクロックとする1/N分周器とを備えたことを特徴とする液晶パネルの表示変換装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶ワイドパネルの表示変換装置に関するものである。

【0002】

【従来の技術】 まず液晶パネルに対する水平シフトクロックであるが、通常N相のシフトクロックが必要であり、1/N分周器が必要である。またワイドパネルへのワイド表示(1.6:9ソース)時の水平シフトクロックに対して、4:3表示(4:3ソース)時の水平シフトクロックは周波数を0.75倍にすれば良い(9/16÷3/4=0.75)。4:3表示の時、両サイドを通常黒表示にすることが多いが、この黒表示部は水平シフトクロックをワイド表示時に対して周波数を1.5倍にすることで1水平期間の時間を合わせている。つまり、4:3表示時の両サイド黒表示部の水平シフトクロックは、中央表示部に対して周波数を2倍にしている。以上の動作を図3の従来の液晶パネル表示変換装置の回路構成図、および図4の各部の動作波形図を用いて説明する。

【0003】 図4において、ワイド表示時は、液晶パネルの水平シフトクロック周波数 $f_s$ のN倍の周波数 $f_1$ で入力信号のH-SYNCとPLLループを形成している。一方4:3表示時は、液晶パネルの黒表示部の水平シフトクロック周波数 $f_s$ のN倍の周波数 $f_1$ で入力信号のH-SYNCとPLLループを形成し、表示部の水平シフトクロック周波数である $f_1$ を、前記黒表示部の水平シフトクロック周波数 $f_s$ を1/2分周して得、表示部と黒表示部の切り換え信号 $f_2$ で切り換えることで最終の水平シフトクロック周波数 $f_3$ を得ている。また、ワイド表示時の水平シフトクロック周波数 $f_1$ と4:3表示時の水平シフトクロック周波数 $f_3$ の選択はモード選択信号で行う。

【0004】 図3において、共通の周波数発振器VCO

2

周器2の出力 $f_2$ とでPLLループ3を形成し、PLLループ3から出力される1/3分周器2出力 $f_2$ を1/N分周器7で分周し、モード選択スイッチSW13を介してワイド表示時のN相(N=3~6)水平シフトクロック $f_1$ を出力する。一方4:3表示時はVCO1の出力 $f_1$ を1/2分周器8で分周して $f_4$ を得、水平同期信号入力端子14からのH-SYNCと1/2分周器8の出力 $f_4$ とでPLLループ9を形成し、PLLループ9から出力される1/2分周器8出力の $f_4$ を1/N分周器10で分周して両サイド黒表示部の水平シフトクロック $f_5$ を得、さらに1/N分周器10の出力 $f_5$ を1/2分周器11で分周して中央表示部の水平シフトクロック $f_6$ を得、両サイド黒表示部と中央表示部の切り換え信号であるPLLループ9からの出力 $f_7$ により前記 $f_5$ 、 $f_6$ をスイッチSW12で切り換えて出力 $f_3$ を得、モード選択スイッチのSW13を介して4:3表示時のN相水平シフトクロック $f_3$ を出力する。

【0005】 以上の動作により、ワイド表示時の水平シフトクロック $f_1$ の周波数を1とすると、4:3表示時の中央表示部の水平シフトクロック $f_6$ は0.75倍、両サイド黒表示部の水平シフトクロック $f_5$ は1.5倍となるので、ワイドパネルにおいて両サイドブラックの4:3表示ができる。

【0006】

【発明が解決しようとする課題】 従来の水平シフトクロック発生装置では、液晶ワイドパネルのワイド表示時と4:3表示時とでそれぞれのPLL周波数 $f_2$ 、 $f_4$ のそれぞれ3倍、2倍の周波数 $f_1$ が共通になるので、VCOを1個に統一できるが、PLLループが2系統必要である。

【0007】 一般に液晶パネルを駆動するためには水平シフトクロック以外に多数のタイミングパルスが必要であるが、これらは全てPLLループ内のプログラマブルカウンタからデコードして作成される。したがってPLLループが2系統存在するということは、各パルスについて全て2種類のデコード回路が必要となり、素子数の増大をまねいていた。また、水平シフトクロックはN相(N=3~6)使用するので、4:3表示時に周波数 $f_5$ 、 $f_6$ を切り換えるタイミングを十分考慮しないと、位相関係の連続性が保存されないという性能上の欠点も有していた。

【0008】 本発明は上記問題を解決するもので、PLLループを1つにし、パネルへの出力パルスデコード回路を1種類にし、4:3表示時における水平シフトクロックの周波数変換についても、N相の位相関係を自動的に保存される液晶パネルの表示変換装置を提供することを目的とするものである。

【0009】

【課題を解決するための手段】 上記課題を解決するため

3  
 プを1つにし、かつ、水平シフトクロックとして1/N分周される前に、ワイド表示か4:3表示かのモード選択を行い、4:3表示時は、1/N分周器の入力信号として、中央表示部と両サイド黒表示部の切り換え信号で周波数切り換えされた信号を用いるものである。

【0010】

【作用】上記構成において、図2に示すように、ワイド表示時は、共通のVCO周波数 $f_1$ を1/3分周した $f_2$ を1/N分周してN相水平シフトクロック $f_3$ とする。一方4:3表示時は、共通のVCO周波数 $f_1$ を4:3表示モードでの両サイド黒表示部と中央表示部の切り換え信号 $f_7$ により1/2分周とするか1/4分周とするかの切り換えを行って出力 $f_9$ を得、これを1/N分周してN相水平シフトクロックとする。

【0011】

【実施例】以下本発明の一実施例を図面に基いて説明する。図1は本発明の一実施例の液晶パネル表示変換装置の回路構成図、図2は各部の動作波形図である。図1において、ワイド表示時は、共通のVCO1の出力 $f_1$ （図2）を1/3分周器2で分周して $f_2$ （図2）を得、この1/3分周器2の出力 $f_2$ と水平同期信号入力端子14からの外部入力信号H-SYNCとでPLLループ3を形成し、1/2分周器2出力 $f_2$ をモード選択スイッチのSW5を介して1/N分周器6で分周し、ワイド表示時のN相水平シフトクロック周波数 $f_3$ （図2）を水平シフトクロック出力端子15から出力する。

（図2）を1/3分周器2で分周して $f_2$ （図2）を得、この1/3分周器2の出力 $f_2$ と水平同期信号入力端子14からの外部入力信号H-SYNCとでPLLループ3を形成し、1/2分周器2出力 $f_2$ をモード選択スイッチのSW5を介して1/N分周器6で分周し、ワイド表示時のN相水平シフトクロック周波数 $f_3$ （図2）を水平シフトクロック出力端子15から出力する。

【0012】一方、4:3表示時は、VCO1の出力 $f_1$ を、PLLループ3から得られる4:3表示時での両サイド黒表示部と中央表示部の切り換え信号 $f_7$ （図2）により切り換え検出器4で1/2分周あるいは1/4分周の切り換えを行い、得られた出力 $f_9$ （図2）をモード選択スイッチのSW5を介して1/N分周器6で

(3)

特開平8-289232

4

分周し、4:3表示時のN相水平シフトクロック周波数 $f_{10}$ （図2）を水平シフトクロック出力端子15から出力する。

【0013】以上の動作により、ワイド表示時の水平シフトクロック周波数に対し、4:3表示時の中央表示部の水平シフトクロックは0.75倍となり、パネルの有効画素を開引くことができる。さらに両サイドの黒表示部の水平シフトクロック周波数を中央表示部の2倍とすることにより、開引いた時間の回復を行わせている。

【0014】

【発明の効果】以上のように本発明によれば、PLLループが1つであるからパネルへの各出力パルスデコードは1種類で済み、しかも4:3表示時における水平シフトクロックの周波数変換に関しても、1/N分周される前に入力クロック信号の周波数を切り換えているので、N相の位相関係は自動的に保存される。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶パネル表示変換装置の回路構成図である。

【図2】図1における各部の動作波形図である。

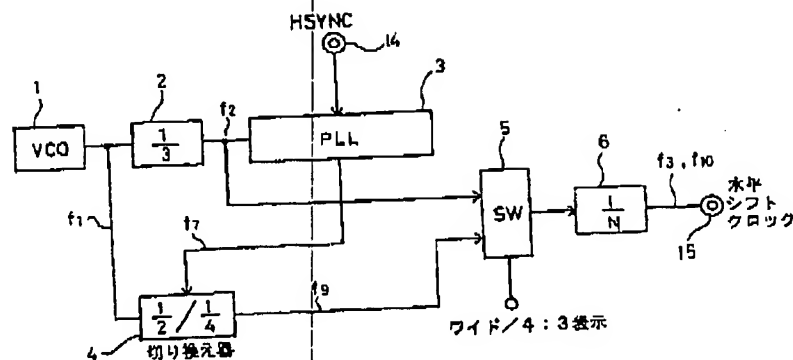
【図3】従来の液晶パネル表示変換装置の回路構成図である。

【図4】図3における各部の動作波形図である。

【符号の説明】

- 1 周波数発振器VCO
- 2 1/3分周器
- 3 PLLループ
- 4 1/2分周と1/4分周の切り換え器
- 5 モード選択スイッチSW
- 6 1/N分周器
- 14 水平同期信号入力端子
- 15 水平シフトクロック出力端子

【図1】



(4)

VCO f1









f2

水平シフトクロック f3  
(ワイド表示時)

f7 黒表示期間 表示期間 黒表示期間

f9

水平シフトクロック f10  
(4:3表示時)

VCO f<sub>1</sub>   
 f<sub>2</sub>   
 水平シフトクロック f<sub>3</sub>   
 (ワイド表示時)  
 f<sub>4</sub>   
 f<sub>5</sub>   
 f<sub>6</sub>   
 f<sub>7</sub>   
 水平シフトクロック f<sub>8</sub>   
 (4:3表示時)

松下電器